

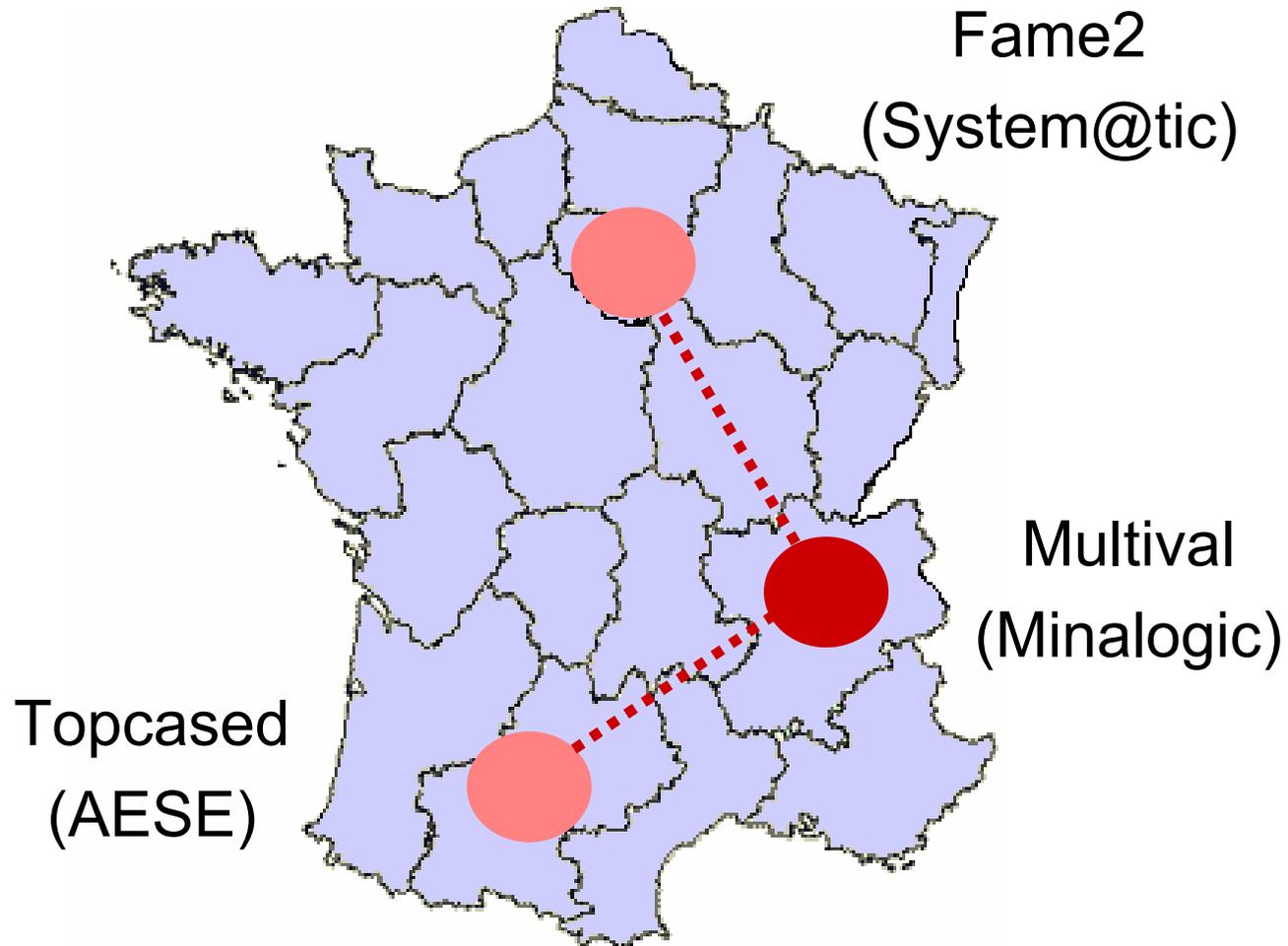
Le projet MULTIVAL

**Validation of Multiprocessor
Multithreaded Architectures**

**Hubert Garavel
INRIA Rhône-Alpes**



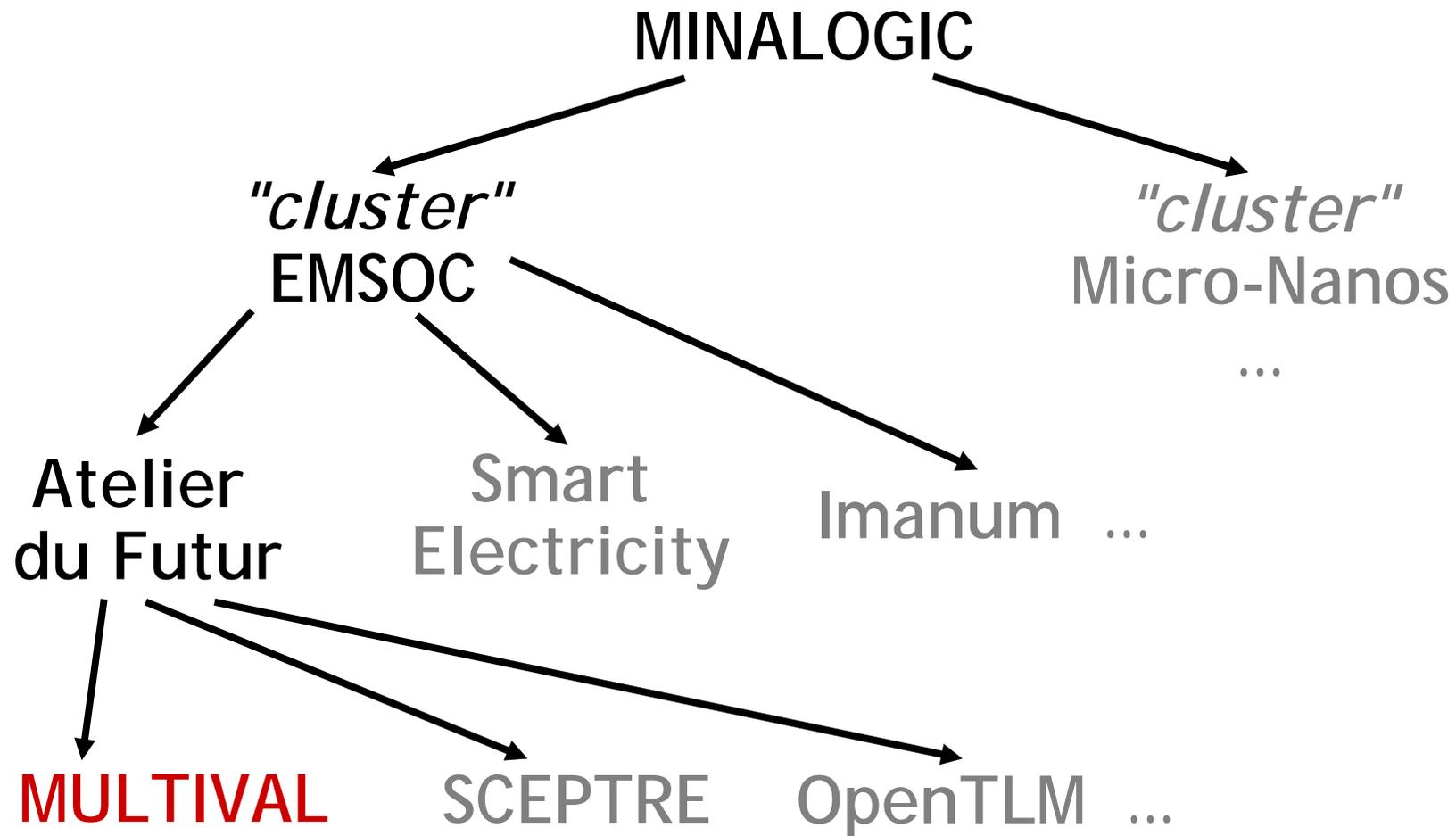
Positionnement national de Multival



et aussi : Fiacre (ACI), OpenEmbedd (RNTL), OpenTLM (Minalogic)
partenariat avec l'université de la Sarre (Sarrebbruck)



Positionnement de Multival dans Minalogic



Partenaires de Multival

- **Bull** (Les Clayes-sous-Bois)
Sylvie Lesmanne
- **CEA/Leti** (Grenoble)
François Bertrand
- **INRIA Rhône-Alpes / Vasy** (Grenoble)
Hubert Garavel
- **ST Microelectronics / AST** (Grenoble)
Richard Hersemeule

Points-clés de Multival

- Chef de projet : Richard Hersemeule (ST)
- 1^{er} appel à projets DGE
- Démarrage : 1^{er} décembre 2006
- Durée : 3 ans
- Budget : 7,5 M€
- Aide Etat + collectivités locales : 2,6 M€

Problématique de Multival

- Circuits, architectures, SoC (*System on Chip*), NoC (*Network on Chip*)
- Nécessité du parallélisme asynchrone :
 - Capacités de calcul accrues
 - Meilleure flexibilité
 - Passage à l'échelle des SoCs complexes
 - Optimisation de la consommation (statique et dynamique)
- Multiples formes du parallélisme asynchrone :
 - Architectures multiprocesseurs (SMP, CC-NUMA)
 - Processeurs multi-cœurs (*multithreading, hyperthreading*)
 - Architectures GALS
 - Logique asynchrone (sans horloge)
- 70% des ressources dévolues à la vérification
- Aucune solution industrielle pour vérifier les architectures multiprocesseurs

Objectifs de Multival

- Objectifs scientifiques :
Maîtrise du parallélisme asynchrone
- Objectifs industriels :
Maîtrise des coûts (éviter les reprises de masques)
Maîtrise des délais (réduire le "*time to market*")
- Trois architectures à fort potentiel :
FAME2 (Bull)
FAUST (CEA/LETI)
FIMAP / xSTream (ST Microelectronics)
- Défis technologiques :
Vérifier les aspects fonctionnels (caches, pipelines...)
Evaluer/optimiser les performances des architectures complexes

Approche de Multival

- **Modélisation formelle de l'asynchronisme :**

Modèles comportementaux d'architecture

Langages de haut niveau convergeant vers LOTOS (norme ISO 8807)

- **Outils d'aide à la conception :**

Compilateurs, traducteurs et générateurs de modèles

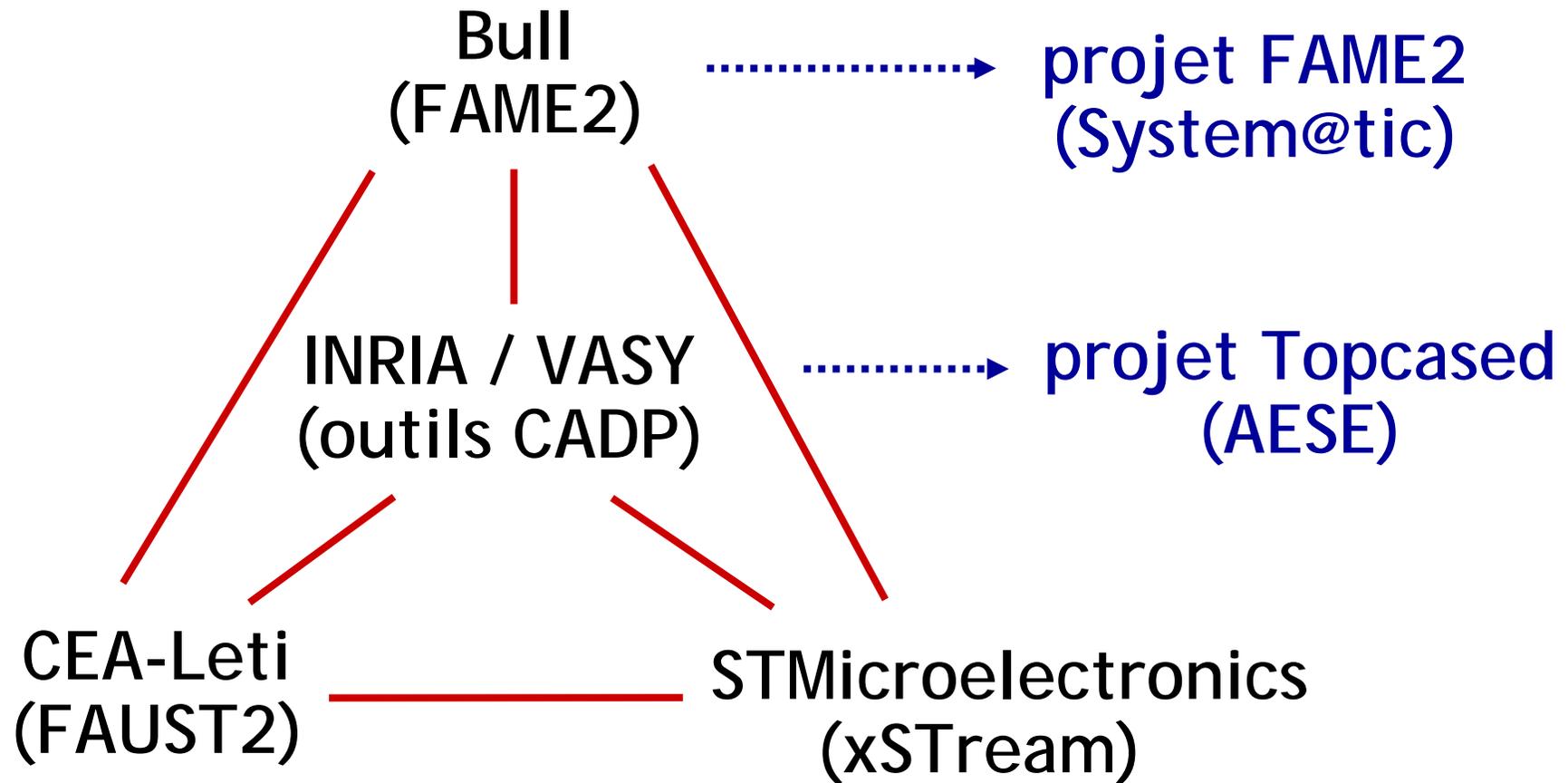
Validation **fonctionnelle** :

- Vérification de propriétés (*model checking*)
- Conformité des traces de simulation RTL avec les modèles formels

Validation **quantitative** :

- Modèles communs pour la vérification et l'évaluation de performance

Une collaboration forte entre les partenaires

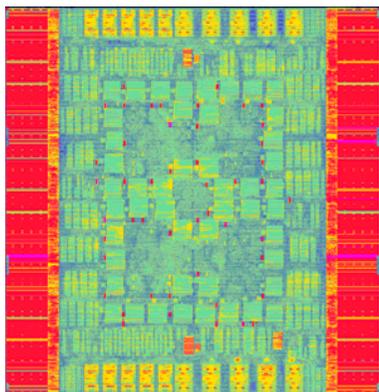


Multival : une approche pragmatique

- Chaque partenaire est dans son cœur de métier :
 - Bull : architectures multiprocesseurs
 - CEA/Léti : NoC, circuits asynchrones
 - INRIA : outils de vérification
 - STMicroelectronics : SoC complexes
- Multival s'appuie sur des expériences réussies
 - Bull-INRIA : 10 ans de collaboration (FormalFame)
 - Centre de recherche pilote INRIA-Léti
 - Plusieurs projets bilatéraux entre Bull, Léti et ST

Résultats acquis avec Bull

- 1995-1996 : vérification du protocole d'arbitrage de bus PowerScale
<http://www.inrialpes.fr/vasy/cadp/case-studies/96-h-powerscale.html>
- 1996-1998 : validation de l'architecture multiprocesseurs Polykid
<http://www.inrialpes.fr/vasy/cadp/case-studies/00-c-polykid.html>
- 1998-2002 : évaluation de performance pour le protocole SCSI-2
<http://www.inrialpes.fr/vasy/cadp/case-studies/02-f-scsi-2.html>
- 1998-2006 : validation de l'architecture FAME1/NovaScale



Fame1 Scalability Switch

Bull a utilisé avec succès les outils CADP de l'INRIA pour valider le cœur du FSS (60 millions de transistors) qui implémente routage et cohérence (SMP et CC-NUMA)

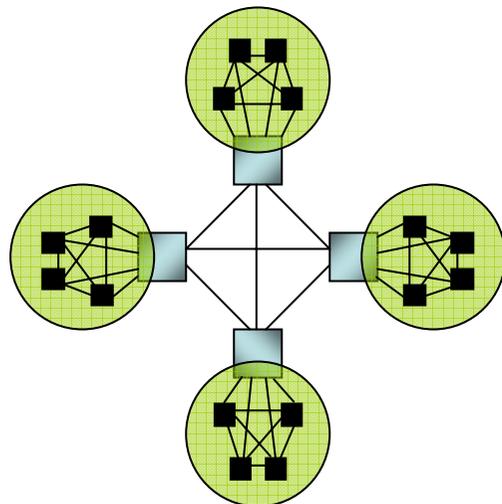
<http://www.inrialpes.fr/vasy/dyade/formalfame.html>

Objectifs de Bull dans Multival

- Architecture FAME2

Nouvelle génération de serveurs Bull

Nouveaux processeurs Intel 32 et 64 bits (multi-cœurs avec hyperthreading)



 Fame2 Scalability Switch

- Vérifier le protocole *FAME2 Scalability Switch*

Complexité très importante :

Fort parallélisme asynchrone

Plusieurs niveaux de mémoires et de caches (NUMA)

Nombre important de types de requêtes

Nombre d'états élevé dans les différents répertoires

Assurer la cohérence mémoire sans blocage ni famine

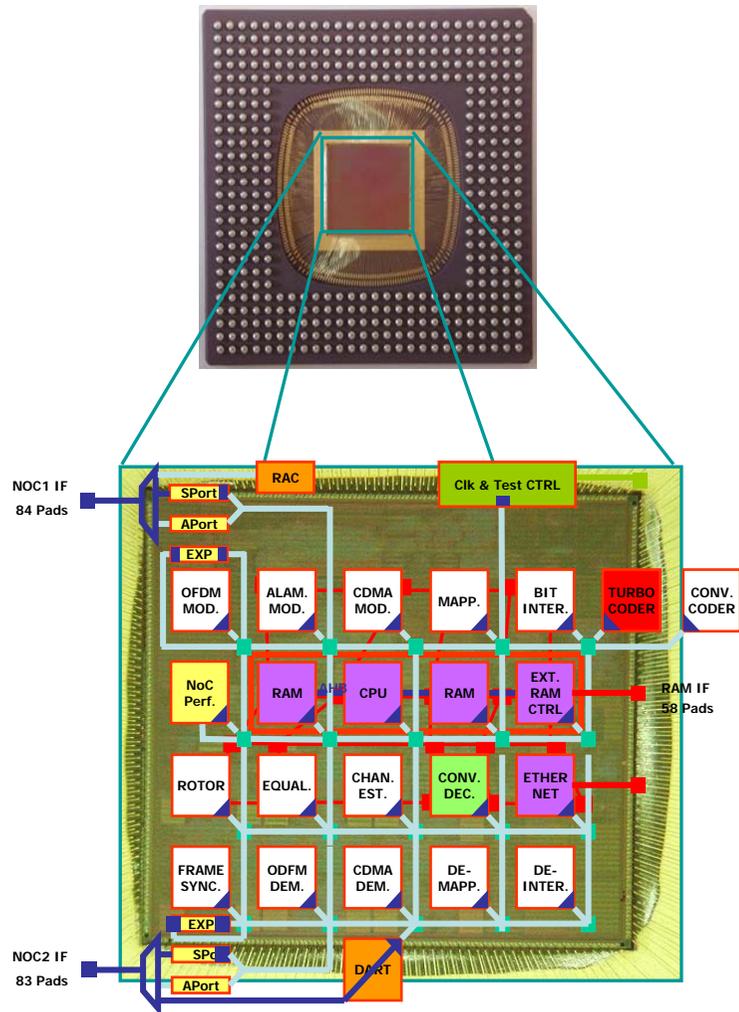
Optimiser la latence d'accès aux données

- Evaluer la performance des implémentations de MPI (*Message Passing Interface*) pour NovaScale

Prédire les performances des benchmarks standards

Optimiser l'implémentation de MPI selon l'architecture matérielle et du protocole de cohérence de caches

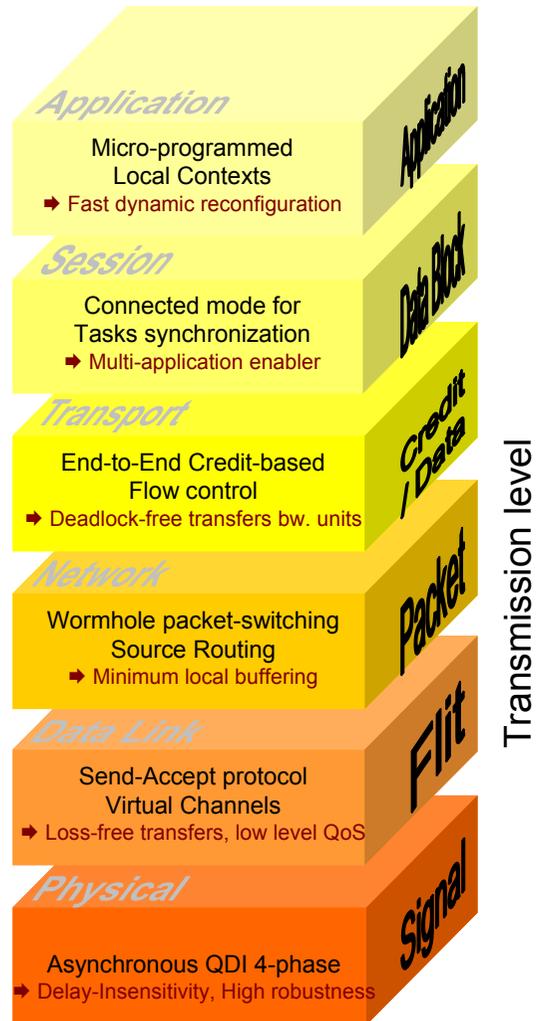
Résultats acquis avec le CEA/Léti



- Circuit FAUST1
- Architecture distribuée pour flots de données télécom haut débit
- NoC – GALS – logique asynchrone
- Modélisation formelle (CHP, LOTOS)
- Développement par l'INRIA d'un traducteur CHP → LOTOS
- Vérification réussie de l'*input stage* de FAUST1 à l'aide des outils CADP de l'INRIA

Publication : Salaün-Serwe-Thonnart-Vivet, Proc. 13th IEEE Int. Symp. on Asynchronous Circuits and Systems ASYNC'07 (Berkeley, CA, USA)

Objectifs du CEA/Léti dans Multival



- **Circuit FAUST2**
- Vérifier la robustesse des couches du protocole NoC pour les flux de données :
 - Intégrité des transferts de données
 - Arbitrage équitable des différents flux dans chaque routeur
 - Absence de blocages entre les différents flux
 - Absence de conflits d'accès à une même ressource
- Garantir un niveau de performances pour tenir les contraintes temps réel
 - Garantie d'une latence bornée dans le réseau
 - Partage efficace de l'accès aux ressources entre tâches
 - Adéquation entre flux de données et configurations

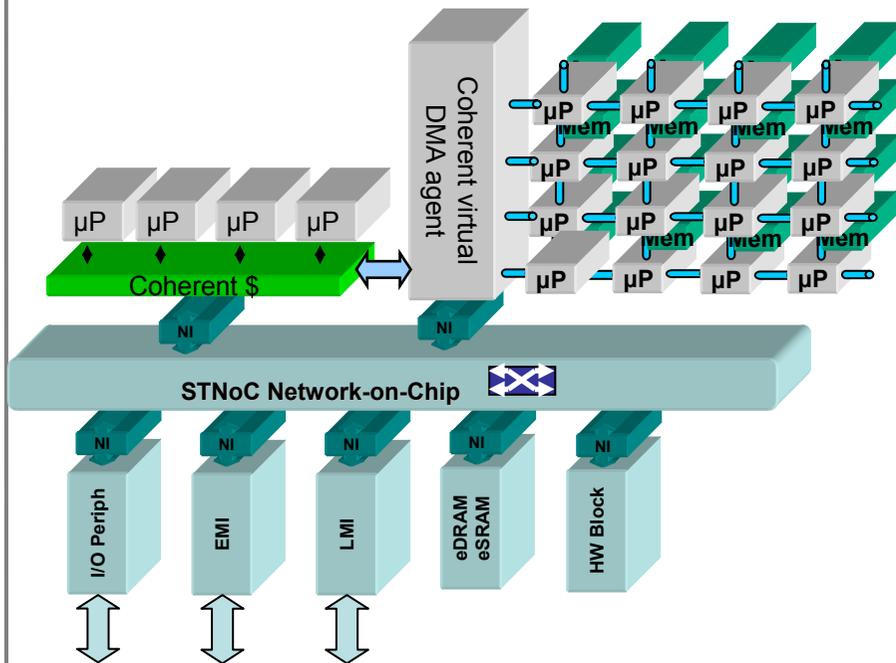
Résultats acquis avec STMicroelectronics

- 2002: ST découvre avec CADP un problème dans le STBus Interconnect

Publication: Wodey-Camarroque-Baray-Hersemeule-Cousin « *LOTOS code generation for model-checking of STBus-based SoC : The STBus Interconnect* », ACM/IEEE International Conference MEMOCODE, June 2003.

<http://www.inrialpes.fr/vasy/cadp/case-studies/03-k-stbus.html>

Objectifs de STMicroelectronics dans Multival



- 2006: conception de xStream, architecture parallèle distribuée à mémoire partagée
- Haute complexité
- Massivement asynchrone
- Risques de blocage, famine, etc.
- Besoin de vérification formelle
- Besoin de prédire les performances

Conclusion : Retombées attendues de Multival

- De "meilleurs" produits FAME2, FAUST2 et xStream
 - Plus fiables
 - Délais respectés
 - Moins coûteux à concevoir
- Des outils de vérification CADP améliorés :
 - Support des processeurs 64 bits (Sparc, Itanium, Xeon, Opteron...)
 - Vérification massivement parallèle
 - Vérification compositionnelle
 - Analyse statique pour la réduction des espaces d'états
 - Evaluation de performance
- Un retour d'expérience sur la vérification de matériel asynchrone :
3 expérimentations en vraie grandeur chez 3 partenaires différents
- Méthodologie pour introduire en milieu industriel :
 - Méthodes formelles
 - Outils de vérification
 - Evaluation de performance combinée avec la vérification

Pour plus d'information

<http://www.inrialpes.fr/vasy/multival>

ou

google: "multival"

